



(19)

(11) Publication number: **62016289 A**
 Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **60157413**(51) Int'l. Cl.: **G11C 7/00 G11C 8/00**(22) Application date: **16.07.85**

(30) Priority:

(43) Date of application publication: **24.01.87**

(84) Designated contracting states:

(71) Applicant: **NEC CORP**(72) Inventor: **MIBUCHI MAKOTO**

(74) Representative:

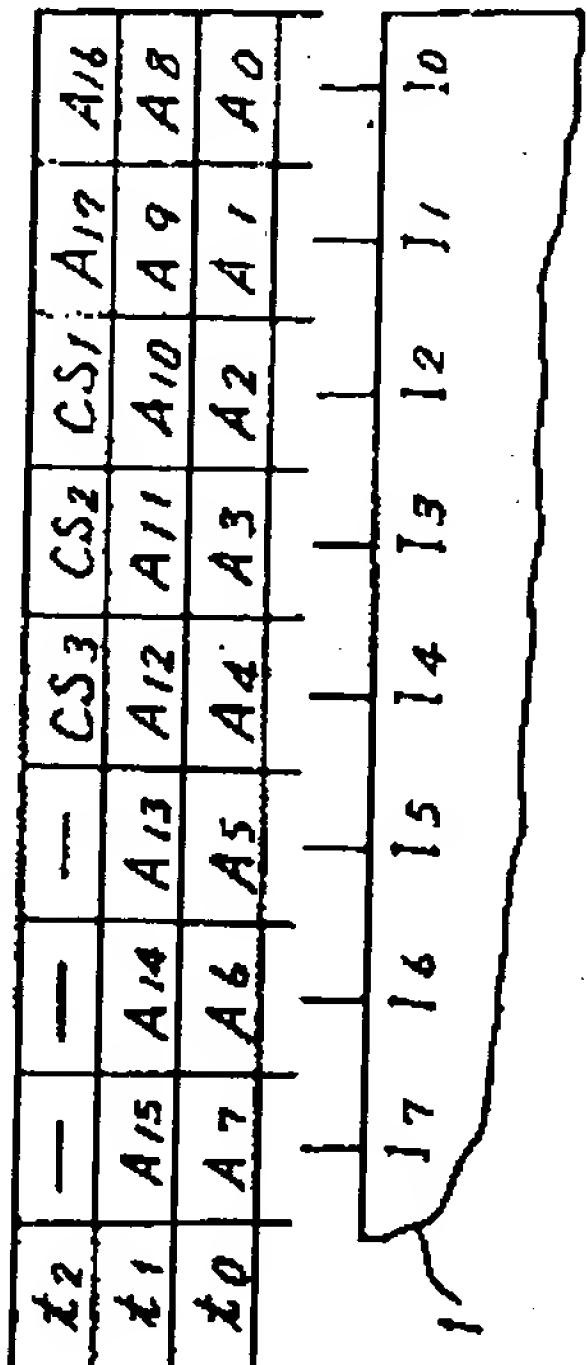
(54) READ ONLY MEMORY

(57) Abstract:

PURPOSE: To unitedly input a chip selecting signal with an address signal and to decrease the number of terminals of ROM by sharing both terminals for selecting the address and the chip.

CONSTITUTION: At terminals I0W17 of a case 1 of a ROM, address signals A17A16...A1A0 are impressed ranging to timings t0Wt2, and a part A17A16 of the address signal and chip selecting signals CS1WCS3 are impressed at the timing t2. Thus, the chip selecting signal can be unitedly inputted with the address signal, and the number of the terminals can be decreased by the sharing of the terminals.

COPYRIGHT:
 (C)1987,JPO&Japio



⑨日本国特許庁 (JP)

⑩特許出願公開

⑪公開特許公報 (A)

昭62-16289

⑫Int.Cl.

G 11 C 7/00
8/00

識別記号

庁内整理番号

6549-5B
6549-5B

⑬公開 昭和62年(1987)1月24日

審査請求 未請求 発明の数 1 (全2頁)

⑭発明の名称 読出し専用メモリ

⑮特 願 昭60-157413

⑯出 願 昭60(1985)7月16日

⑰発明者 三浦誠 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲代理人 弁理士 内原晋

明細書

1. 発明の名称

読み出し専用メモリ

2. 特許請求の範囲

チャップ選択モードとチャップ非選択モードとを有しアドレス多重化方式を用いる読み出し専用メモリにおいて、

アドレス信号入力端子をチャップ選択信号入力端子に共用することを特徴とする読み出し専用メモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は読み出し専用メモリに関し、特にチャップ選択モードとチャップ非選択モードとを有しアドレス多重化方式を用いる読み出し専用メモリに関する。

〔従来の技術〕

読み出し専用メモリ(以下ROMといふ)において、アドレス信号入力端子の数を減らすためにア

ドレス多重化方式を用いることがある。また、最近は一つのCPUが複数のROMを使用することが多くなっているので、そのうちの一つをチャップ選択信号で選択できるように、チャップ選択モードとチャップ非選択モードをチャップ選択信号で切替えられるようにしたROMがある。

従来のかかるROMはアドレス信号入力端子とチャップ選択信号入力端子とを別個にもっていた。
〔発明が解決しようとする問題点〕

複数のROMを使用するCPUにとって、チャップ選択信号をROMのアドレス信号と一緒ににして扱うことができれば、両信号のビット数の和のビット数をもつ一つのアドレス信号で複数のROMを一体にして使用できるが、従来のROMは両信号を別の端子から入力するので両信号入力端子の接続を同じにできず不便である。またアドレス多重化方式を用いて端子数を減少しようとするにとかかわらず、チャップ選択信号入力端子としての端子数はそのままである。

以上説明したように、チャップ選択モードとチャ

チップ選択モードとを有しアドレス多量化方式を用いる従来のROMは、チップ選択信号をアドレス信号と一緒にして扱うのに不便であるという欠点があり、また端子数がチップ選択信号入力端子に関しては従来のままであるという欠点がある。

本発明の目的は、上記欠点を解決してチップ選択信号をアドレス信号と一緒にして入力することができ、かつ端子数の少いROMを提供することにある。

〔問題点を解決するための手段〕

本発明の読み出し専用メモリは、チップ選択モードとチップ非選択モードとを有しアドレス多量化方式を用いる読み出し専用メモリにおいて、アドレス信号入力端子をチップ選択信号入力端子に共用して構成される。

〔実施例〕

以下、図面を参照して本発明について詳細に説明する。

第1図は、本発明の一実施例の動作を説明するための説明図である。

チップ選択信号が一致すればこの実施例はチップ選択モードとなり、一致しなければチップ非選択モードとなる。

〔発明の効果〕

以上詳細に説明したように、本発明のROMはアドレス信号入力端子をチップ選択信号入力端子に共用するという手段を用いるので、データバスからアドレス信号およびチップ選択信号を入力する際チップ選択信号をアドレス信号の一部として一体に扱うことができるという効果があり、またこれら信号を入力するデータバスをアドレス信号入力端子に直結できるので外付け部品が不要であるという効果があり、さらに端子数を減少できるので端子数の少い低廉なケースを使用することができるという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例の動作を説明するための説明図である。

1:ケース、I₀～I₇:端子
代理人弁理士内原晋

この実施例は、256Kワード×8ビットの記憶容量をもつROMであり、アドレス信号およびチップ選択信号を入力する8本の端子I₀～I₇をもっている。

$256 \times 1024 = 2^{18}$ だからアドレス信号は18ビットとなり、これを(A₁₇, A₁₆, …, A₁, A₀)と表す。チップ選択信号は一例として3ビットであるとし、これを(CS₂, CS₁, CS₀)と表す。

アドレス信号(A₁₇, A₁₆, …, A₁, A₀)を、8ビットのバス(図示していない)を介して端子I₀～I₇から、第1図に図示するようにタイミングt₀, t₁, t₂の3回に分けて入力する。チップ選択信号(CS₂, CS₁, CS₀)は、アドレス信号(A₁₇, A₁₆, …, A₁, A₀)の最上位桁のさらに上の桁に対応するものとして、タイミングt₂に端子I₀～I₇から入力される。内蔵するチップ選択信号パターンに、入力したチップ選択信号(CS₂, CS₁, CS₀)、すなわちタイミングt₂に端子I₀～I₇から入力した信号のパタ

t ₂	—	—	—	CS ₃	CS ₂	CS ₁	A ₁₇	A ₁₆
t ₁	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈
t ₀	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀

↓
I₇ I₆ I₅ I₄ I₃ I₂ I₁ I₀

I:ケース

I₀～I₇:端子

(A₁₇ A₁₆ …, A₁, A₀):アドレス信号

(CS₃, CS₂, CS₁):チップ選択信号

t₀～t₂:タイミング

第1図